

Materialien zur Lehrveranstaltung

Technische Informatik 2 (Modularisiertes Ingenieurstudium)

Rechnerarchitekturen (Studiengänge WI, MT)

ACHTUNG: Altes Material! Gültig bis einschl. SS'08.

Folien zur Vorlesung, Kapitel 7

(Ergänzung zum Material „Folien zur Vorlesung“ mit den Kapiteln 1 bis 6)

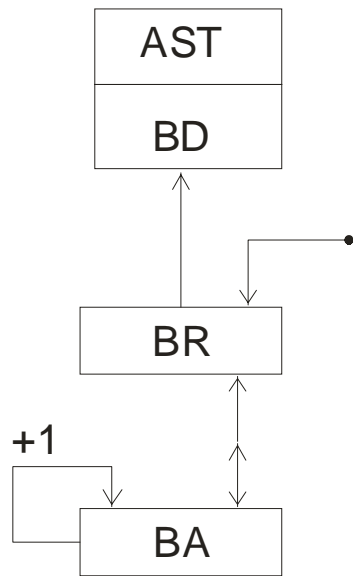
März 2005

Zur Prüfung NICHT zugelassen!!!

Bitte benutzen Sie nur aktuelles Material! Die neueste Version finden Sie stets unter <http://tin.tu-ilmenau.de/ra/>

TU Ilmenau, Fakultät IA, Institut TTI, Fachgebiet Rechnerarchitekturen, Prof. Dr. W. Fengler

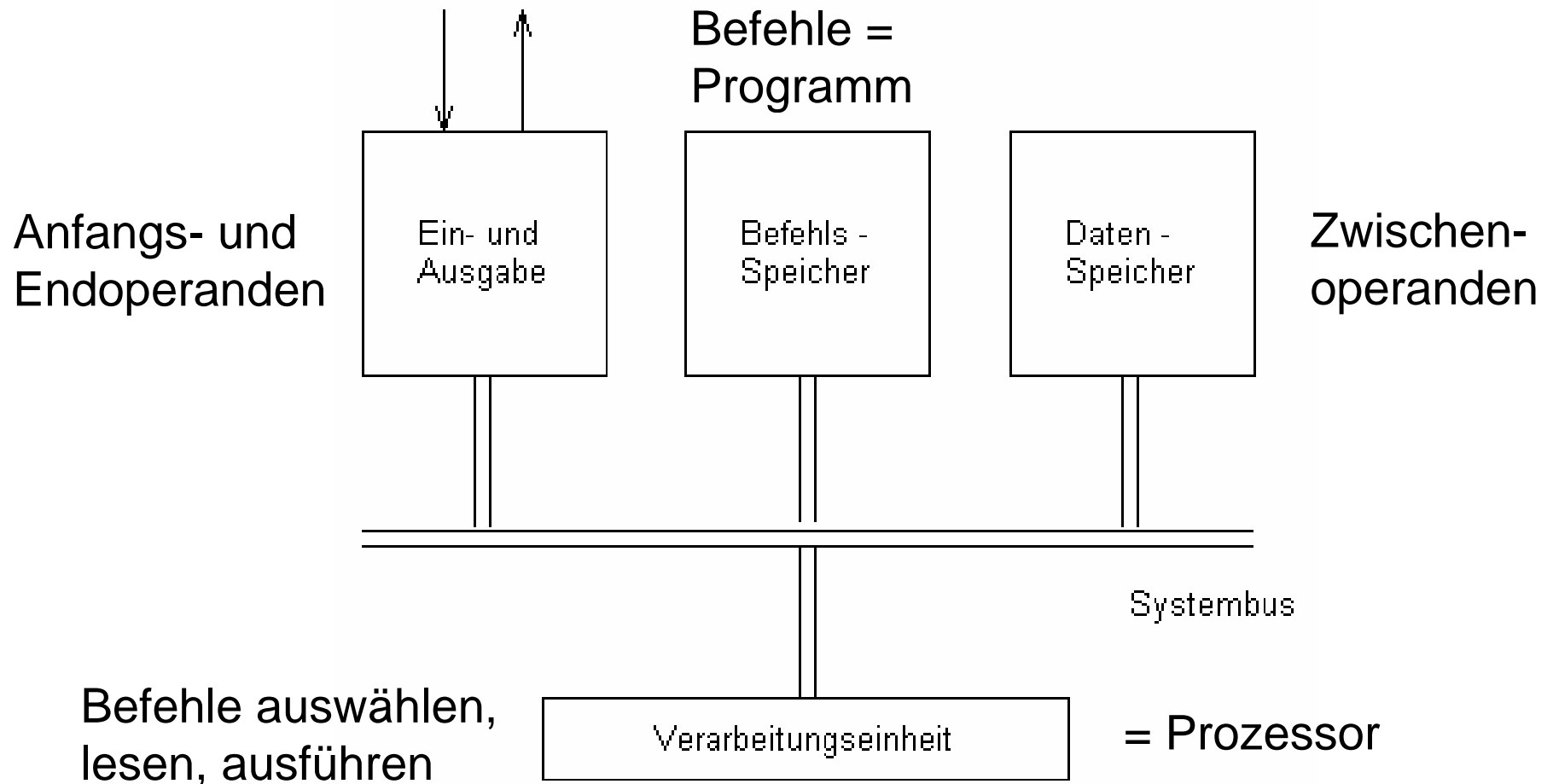
Druck und Vervielfältigung nur zum persönlichen Gebrauch!

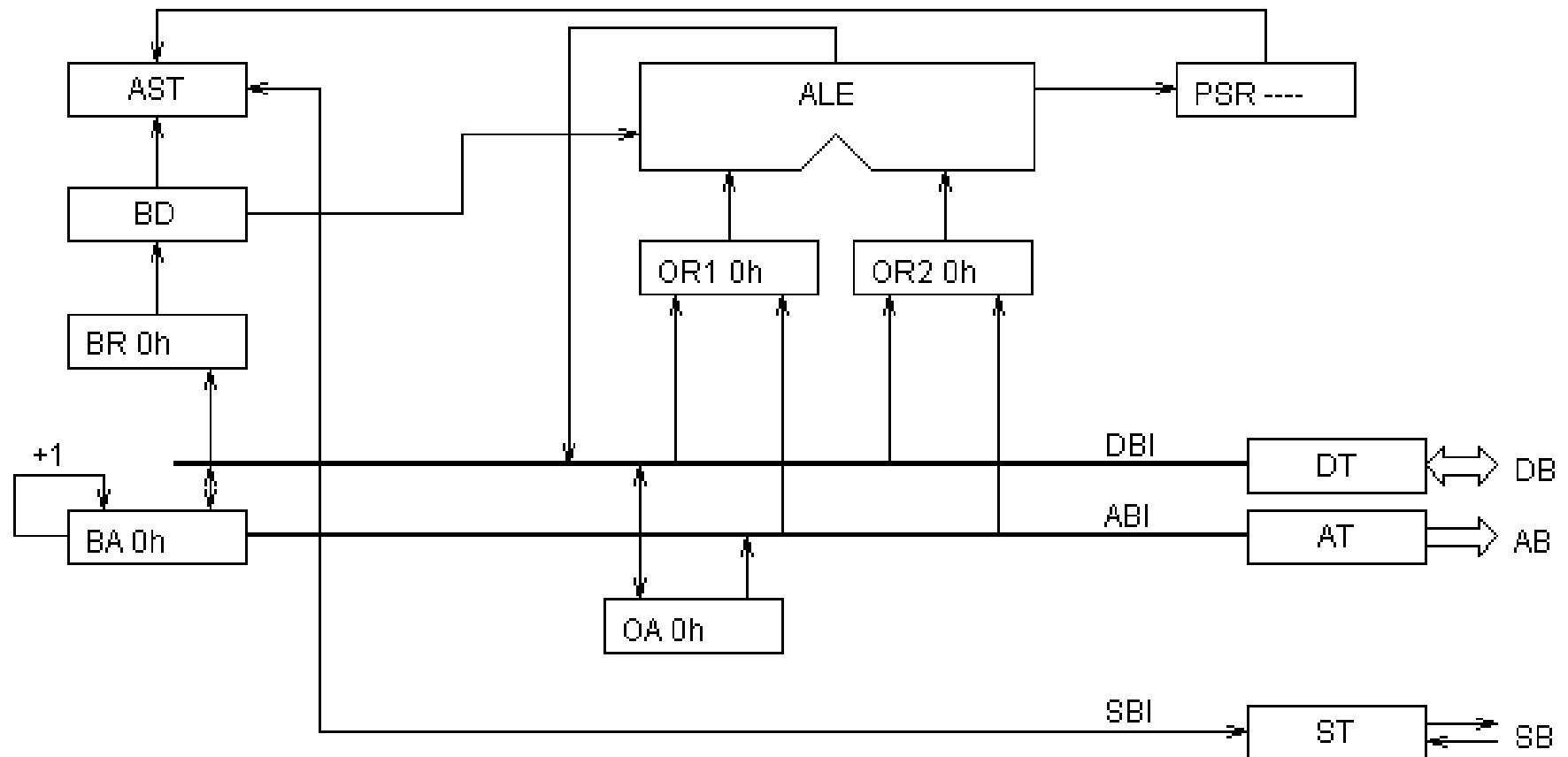


th.

- Der Prozessor und seine Leistung
- Pipeline und RISC
- Scalar und VLIW
- Out-of-Order-Execution
- Caches und Harvard-Architektur
- Realisierung in Beispiel-Prozessoren
- Übersicht zu parallelen Architekturen

Princeton-Architektur
(von Neumann-Architektur)





Leistung = Durchschnittsbefehle pro Zeit. Berechnung:

$$L = \frac{1}{T * Z}$$

L: Prozessorleistung [MIPS, Million Instructions per Second]

T: Mittlere Operationszeit pro Befehl in Taktzyklen: $T = \sum ti * pi$

ti: Operationszeit des i-ten Befehls in Taktzyklen

pi: Relative Häufigkeit des i-ten Befehls

Z: Taktzykluszeit [μ s]

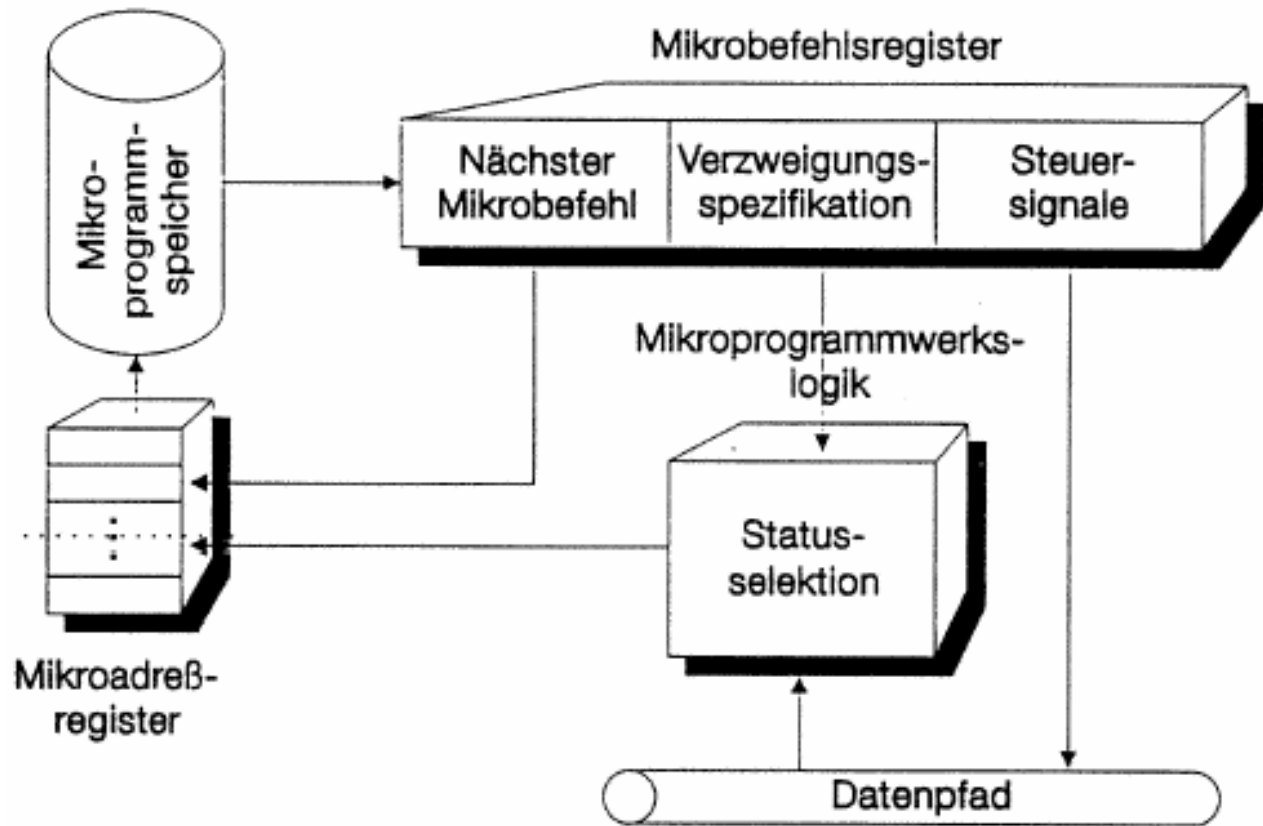
- - Halbleitertechnologie, einfache Architektur
- Erhöhung der Befehlsanzahl pro Takt
 - Architekturerweiterung bei Erhöhung der Hardwarekomplexität

CISC

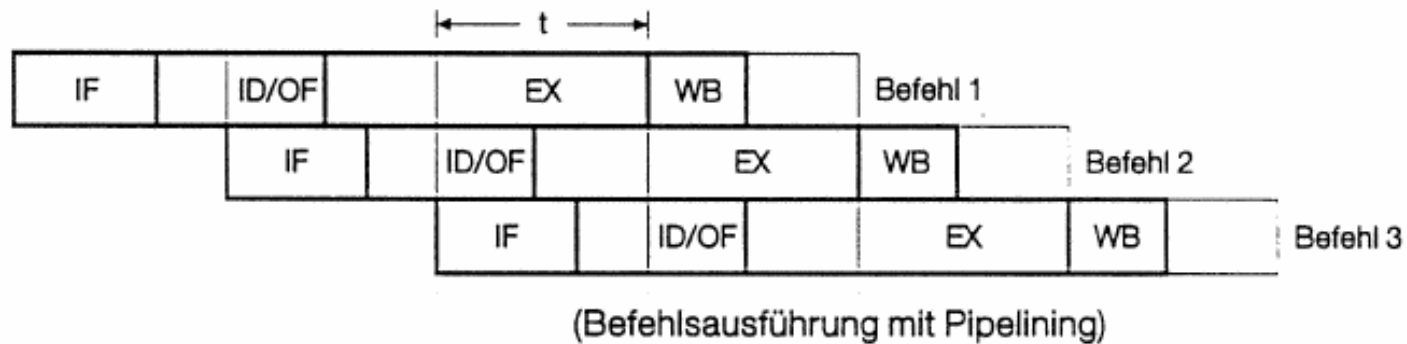
(complex instruction set computer):

Rechner mit komplexem Befehlssatz:

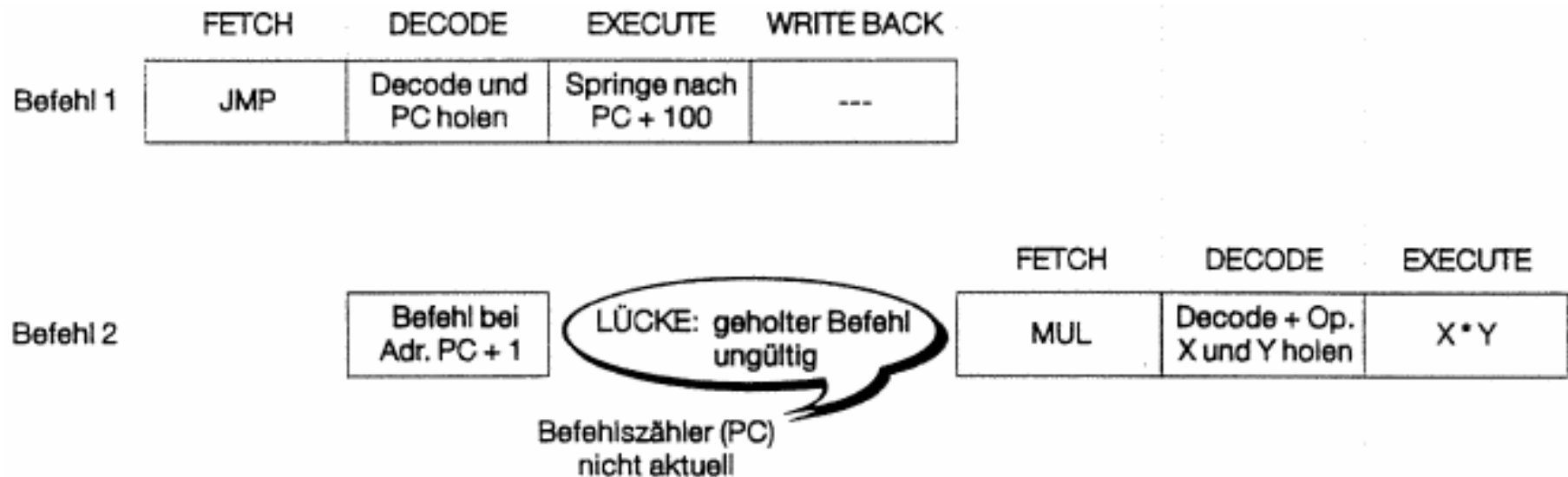
- Viele, auch sehr komplexe Befehle
- Mikroprogrammierung:
Realisierung der Maschinenbefehle durch Sequenzen von Mikrobefehlen

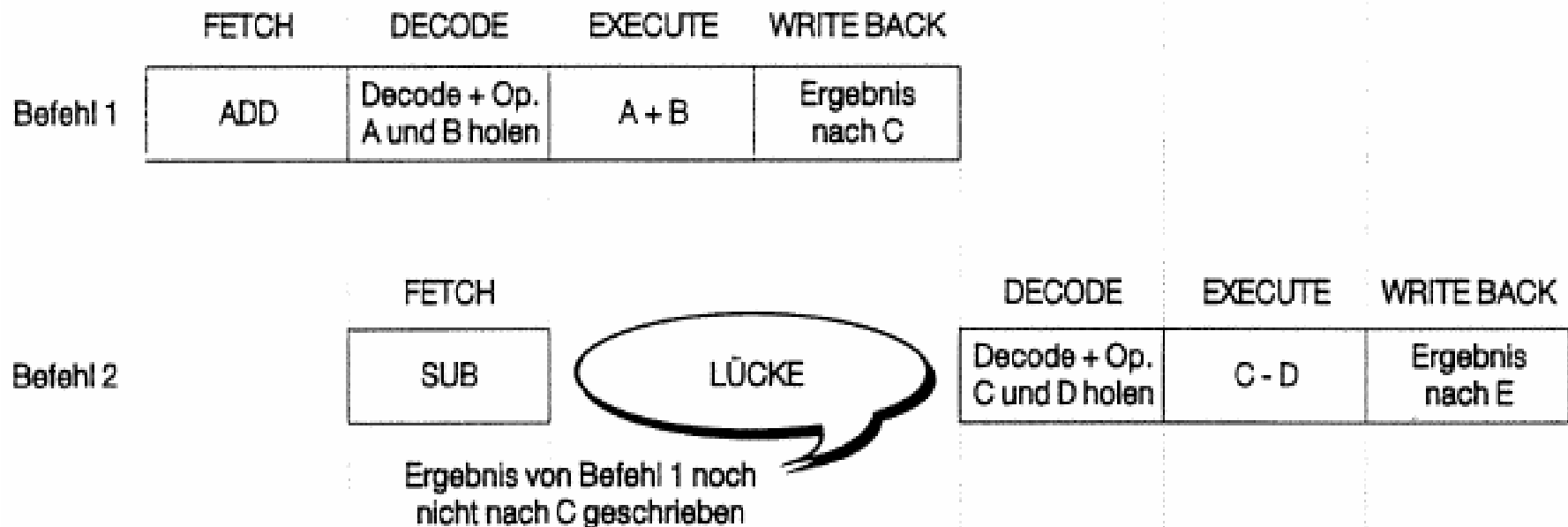


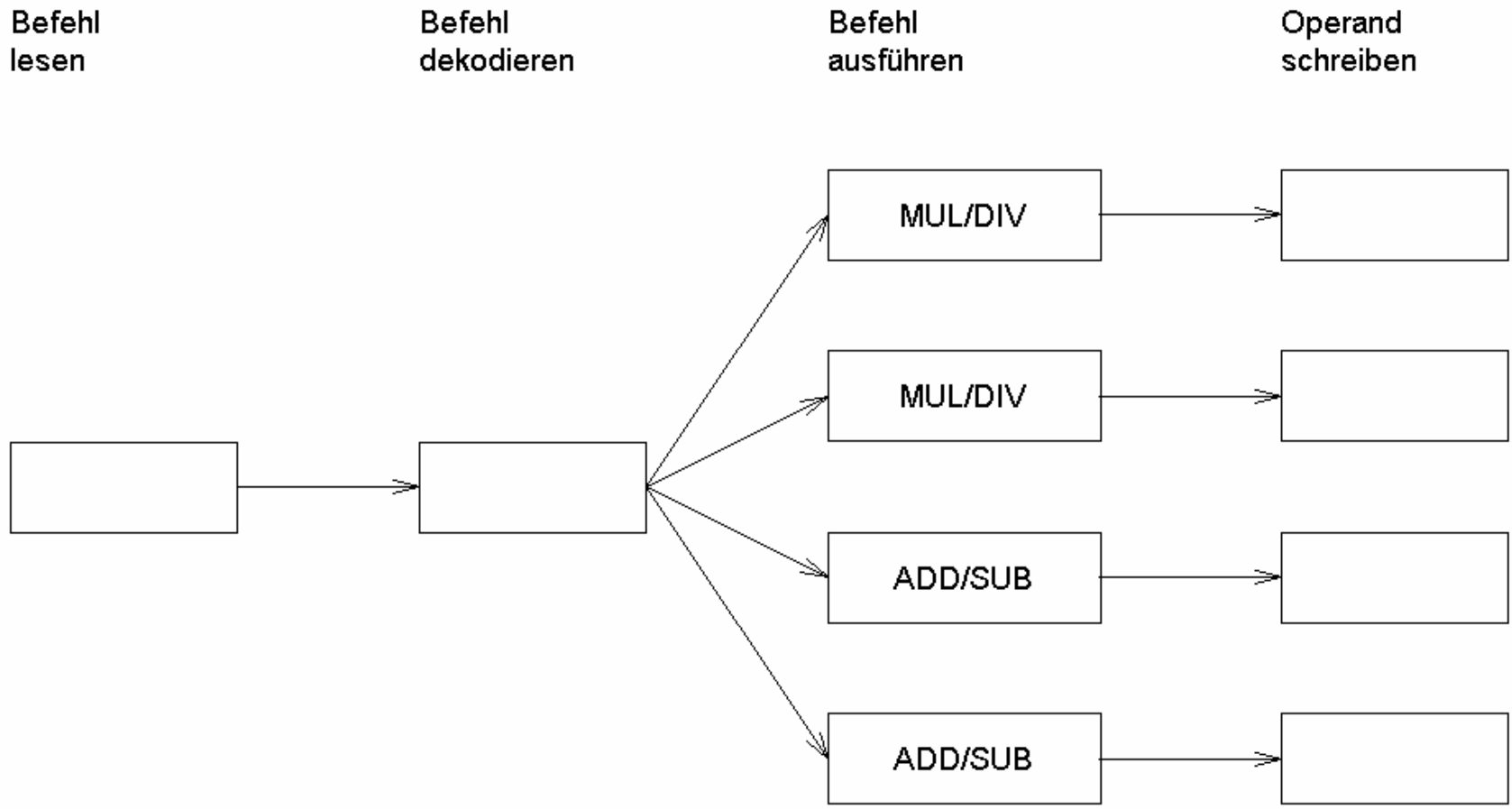
- **RISC** (reduced instruction set computer):
Rechner mit reduziertem Befehlssatz:
 - Einfacher Befehlssatz
 - Einheitlicher Befehlssatz
 - Jede Befehlsphase (insbesondere BA) 1 Takt
 - Einheitliche Befehlsformate
 - Speicherzugriff nur über spezielle Lese- und Schreibbefehle (Load, Store)
 - Viele Register



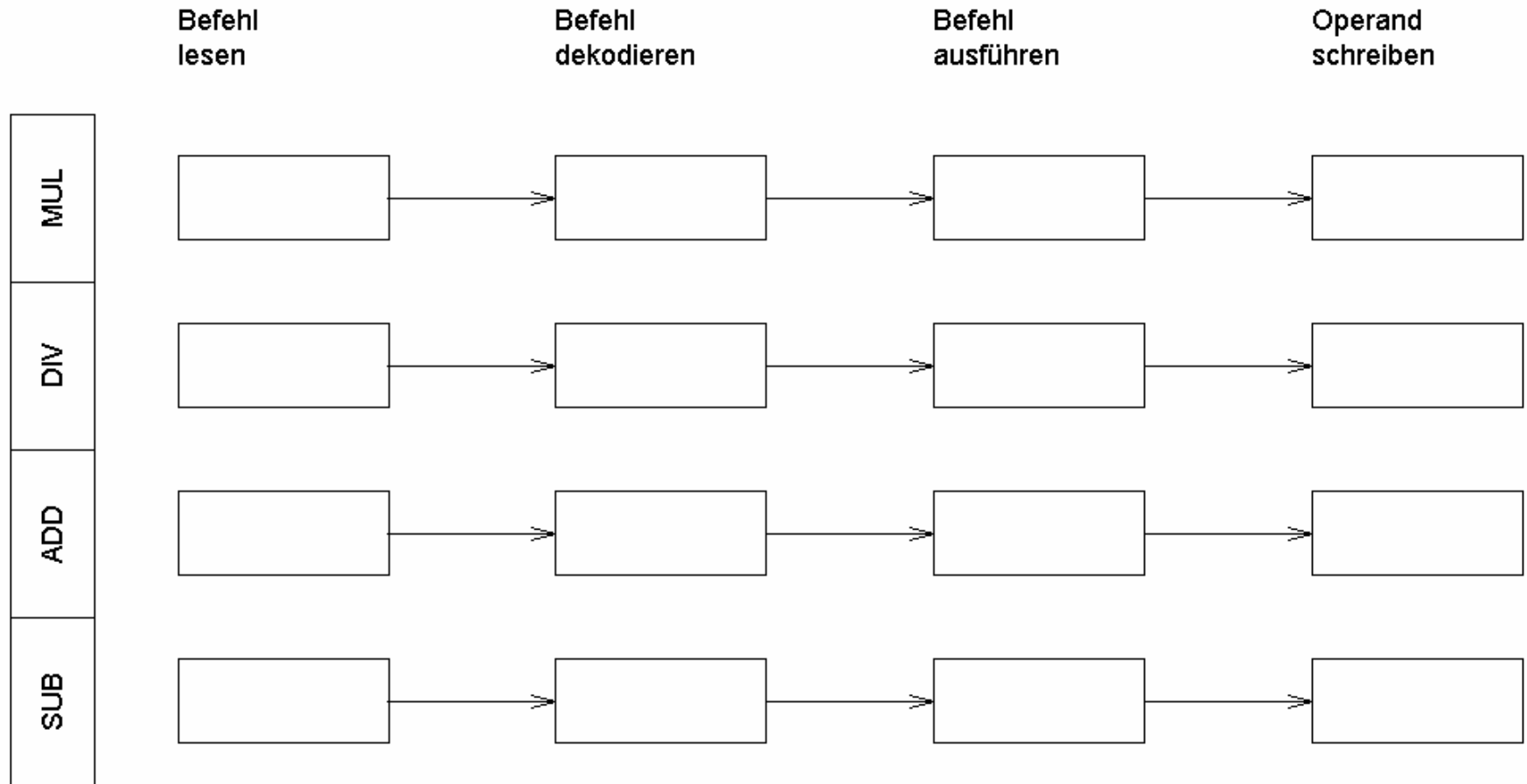
Problem: Bedingte Sprünge





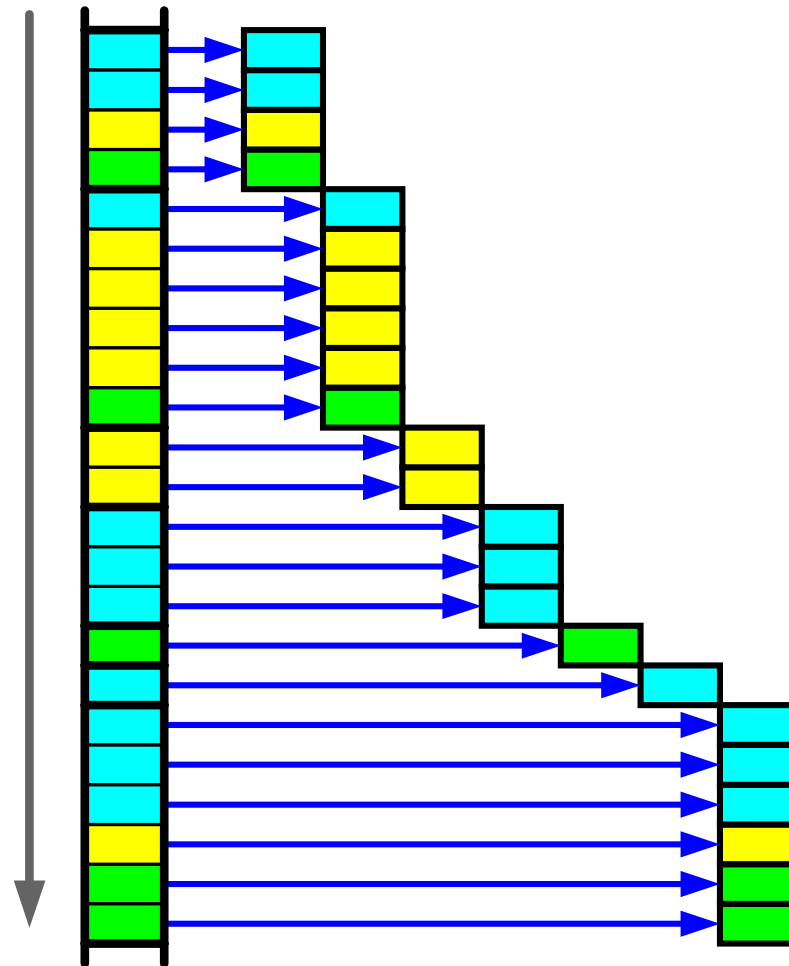


Very-Long-Instruction- Word (VLIW)

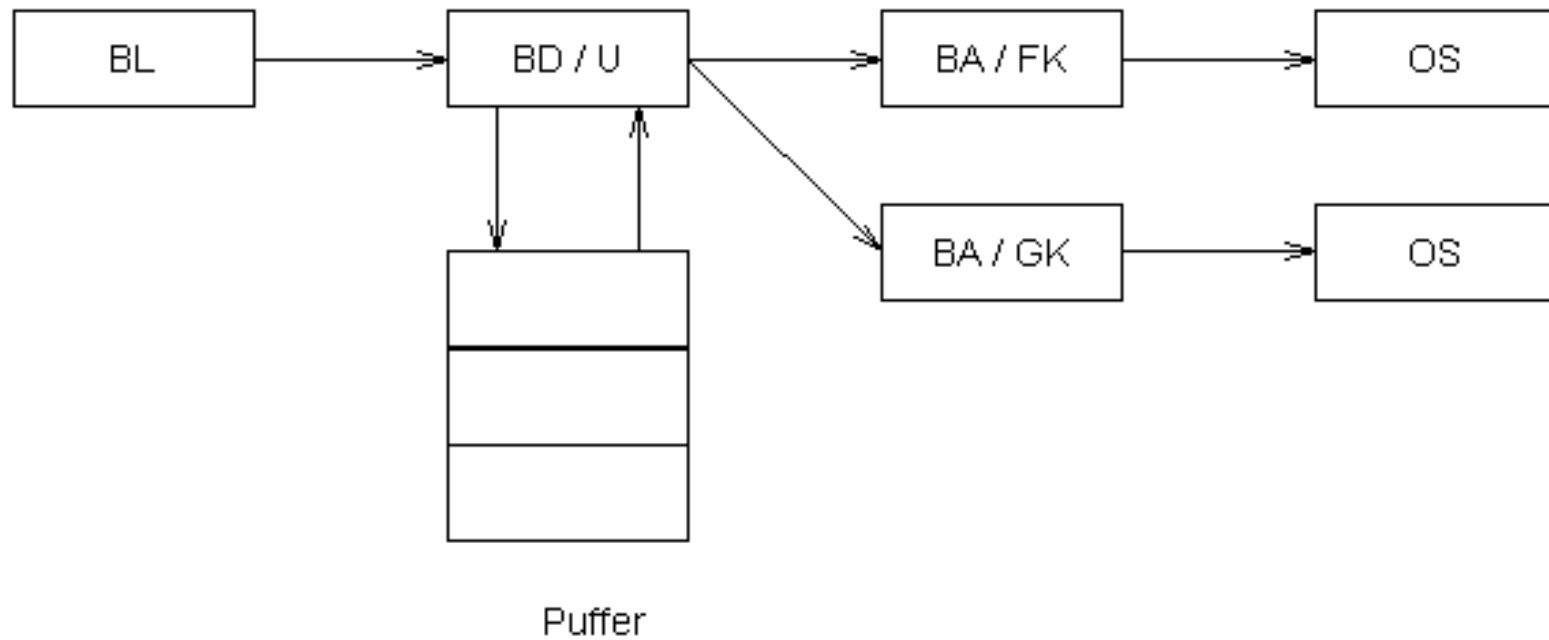


Befehlsword (VLIW)

Befehlsreihenfolge bei VLIW

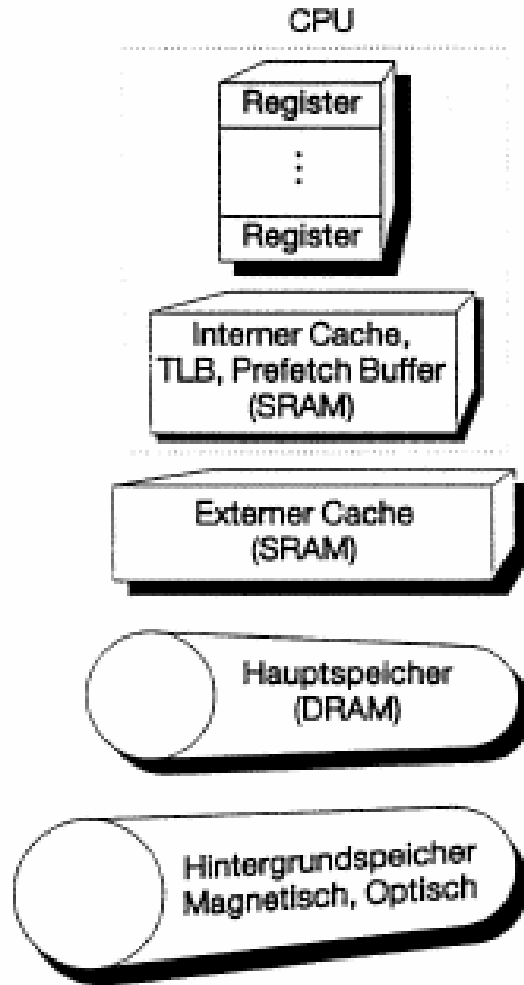
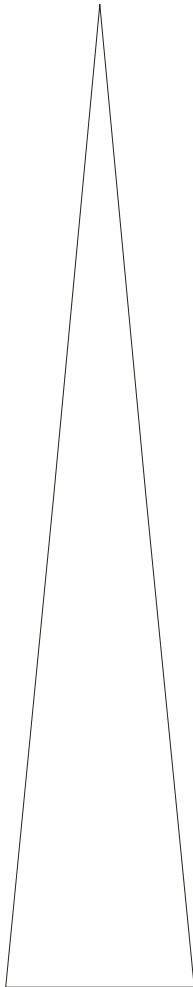


Out-of-Order- Execution



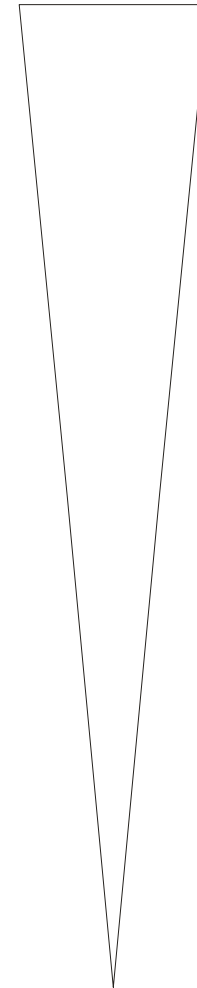
Speicherhierarchie

Größe

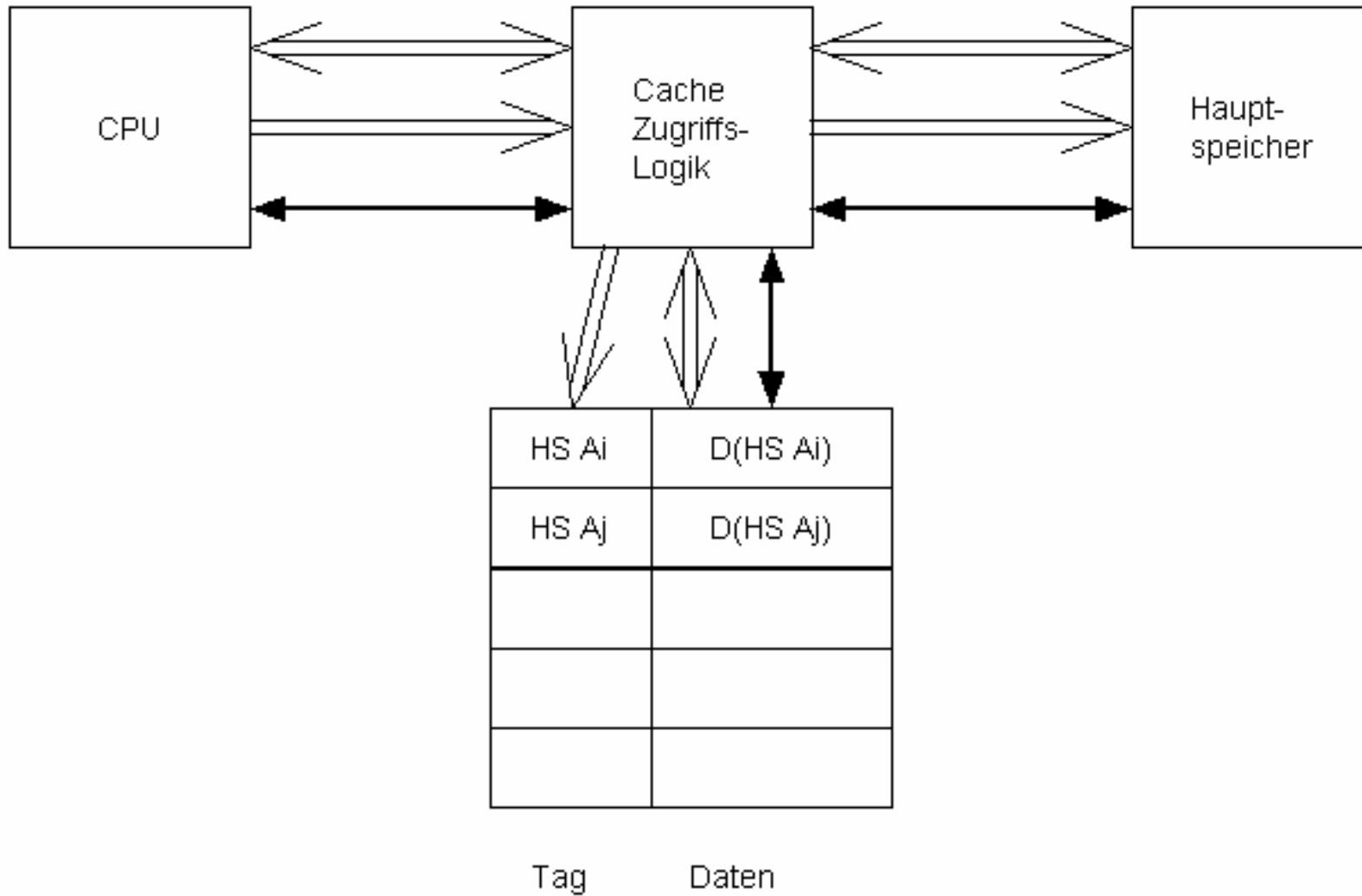


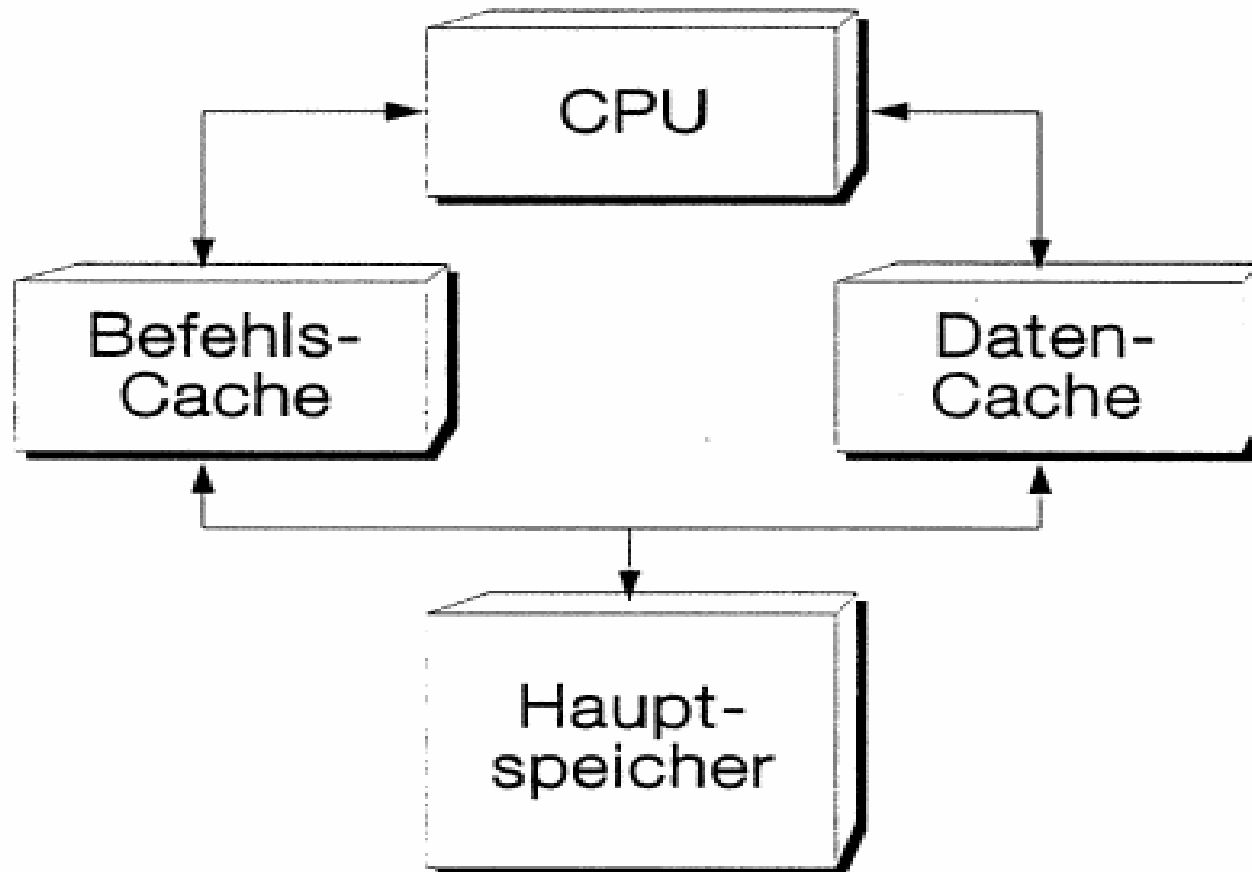
Lokaler Server,
Internet

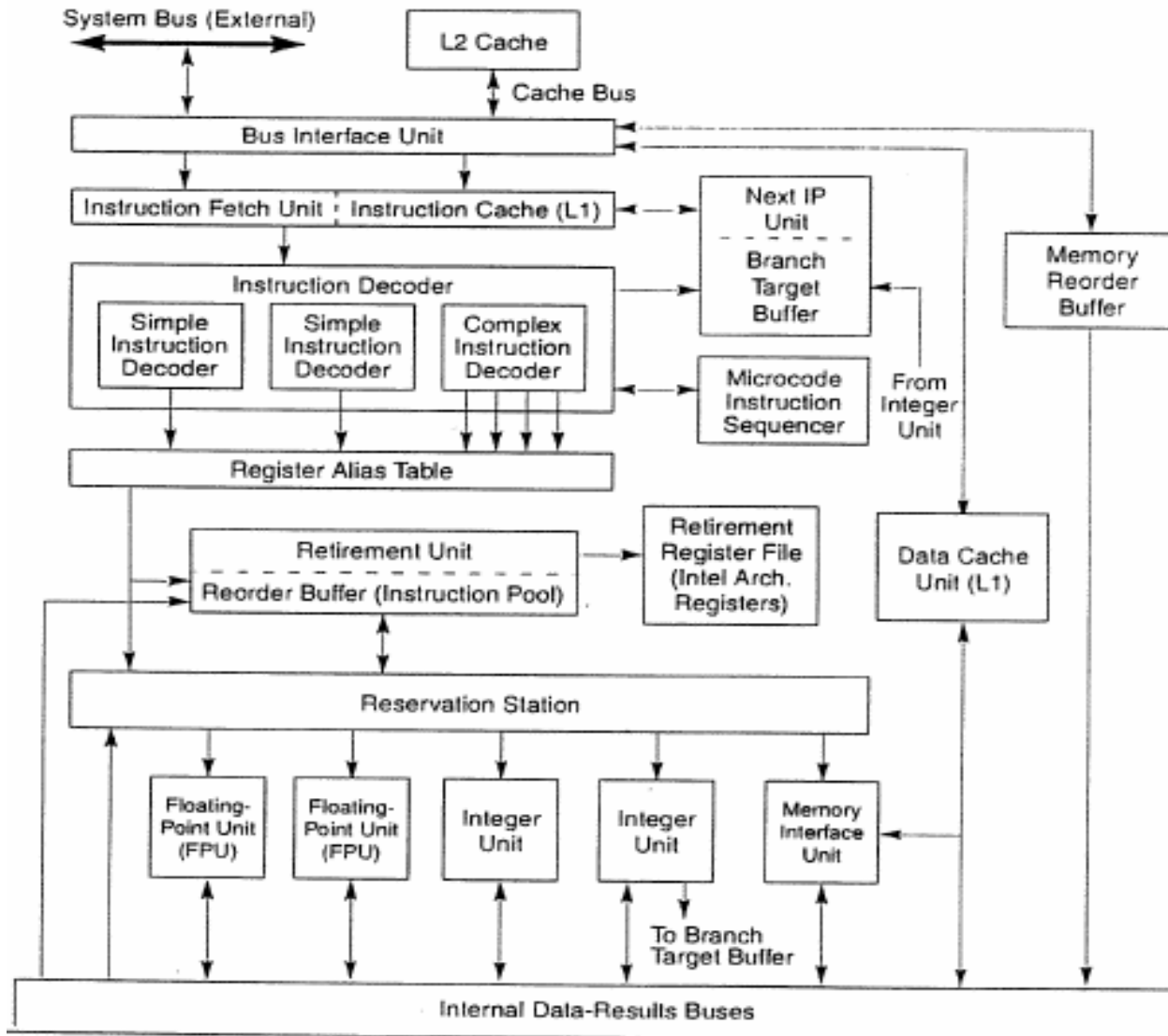
Zugriffsgeschwindigkeit



Cache-Prinzip







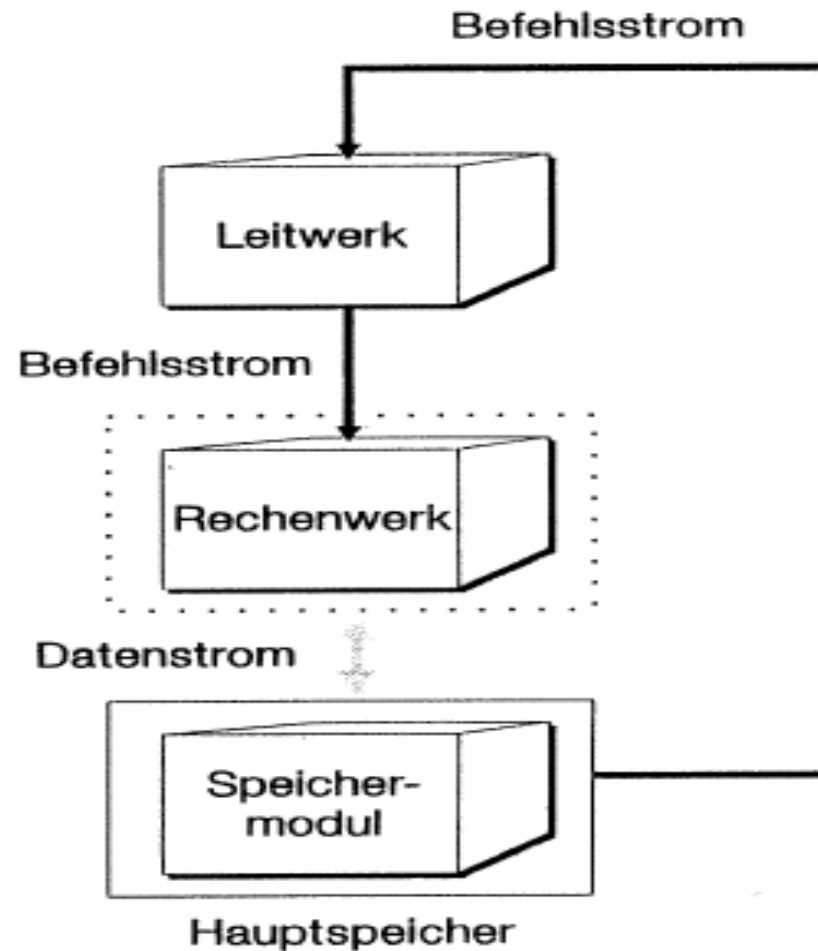
Pipeline und RISC

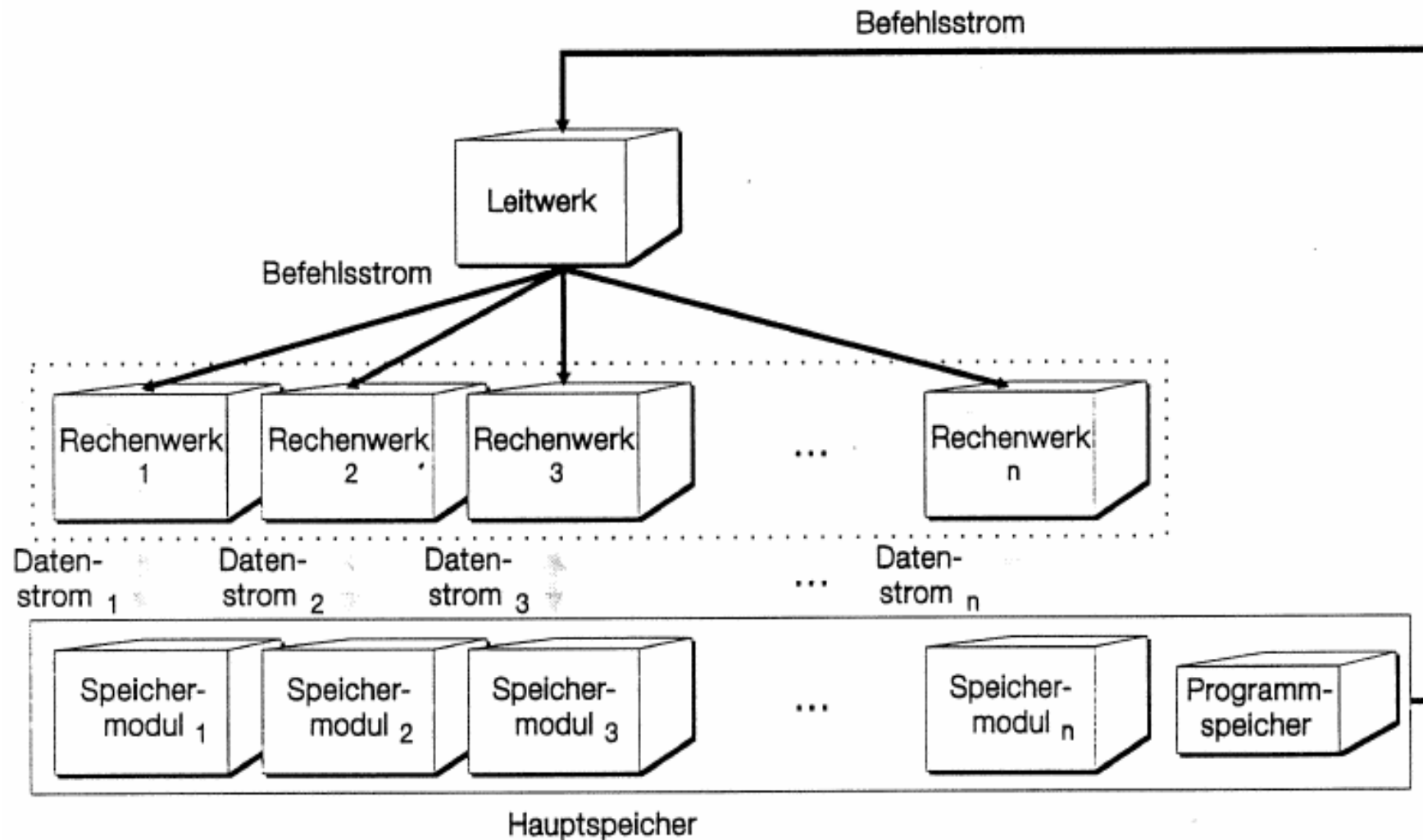
CISC

Skalar

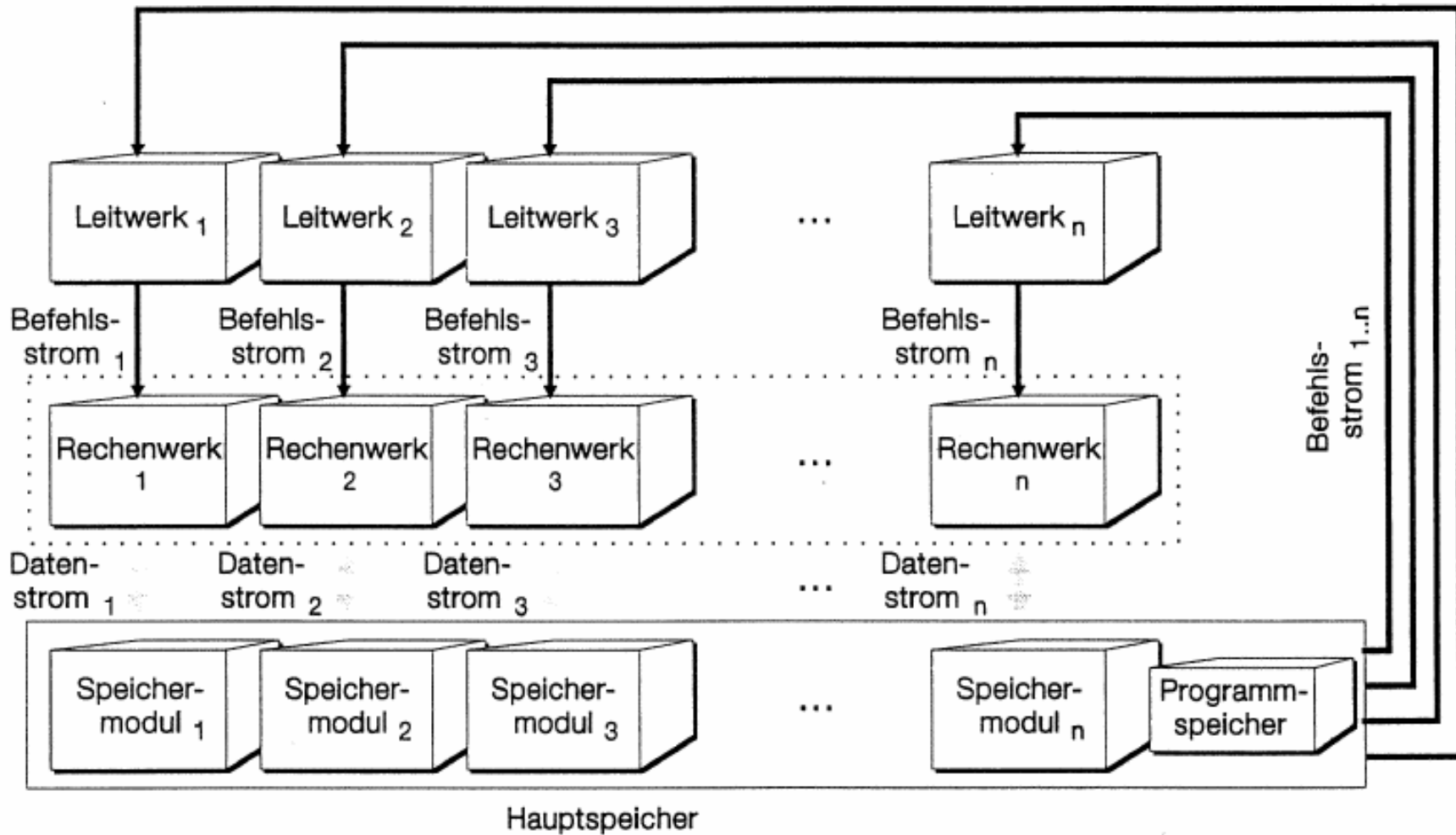
Out of Order

Cache und Harvard





Quelle: Rechnerarchitektur: Struktur, Organisation, Implementierungstechnik/Christian Martin.-München;Wien: Hanser 1994 (Hanser-Studienbücher der Informatik) ISBN 3-446-17445-1



Quelle: Rechnerarchitektur: Struktur, Organisation, Implementierungstechnik/Christian Martin.-München;Wien: Hanser 1994 (Hanser-Studienbücher der Informatik) ISBN 3-446-17445-1

MIMD- Kopplungsvarianten

