

# Praktikum Hardwarebeschreibungssprachen

## Entwurf eines DDS-Signalgenerators (Direct Digital Synthesis)

### Aufgabenstellung

Im zweiten Teil des Praktikum soll ein Sinussignalgenerator entworfen werden, der auf dem Prinzip der direkten digitalen Synthese beruht [1]. Das Gerät soll folgende Eigenschaften aufweisen:

- Referenzfrequenz: 32.768kHz
- Ausgangsamplitude mit 8 bit Auflösung
- Phasenauflösung: 8 bit
- Frequenzauflösung: 128Hz
- Frequenzkontrollregister mit 6 bit Auflösung

Die Wahl der Ausgangsfrequenz erfolgt durch Eingabe eines Multiplikators auf dem Tastaturblock.

### Begriffsklärung

Frequenzauflösung: minimaler Abstand zweier vom Generator erzeugbarer Frequenzen

Phasenauflösung: Feinheit der Zerlegung eines Vollwinkels

### Prinzip

Den allgemeinen Aufbau eines Signalgenerators basierend auf dem Prinzip der direkten digitalen Synthese zeigt Abbildung 1. Hauptbestandteile sind der Phasenakkumulator und eine Koeffiziententabelle in Form eines ROMs, in der die gewünschte Signalform abgelegt wird. Je nach gewählter Frequenz schaltet der rückgekoppelte Addierer die Phase schneller oder langsamer durch, dadurch entsteht die variable Ausgangsfrequenz. Am Ausgang der Koeffiziententabelle stehen die Amplitudenwerte der gewählten Kurvenform in digitaler Form zur Verfügung. Das Signal durchläuft

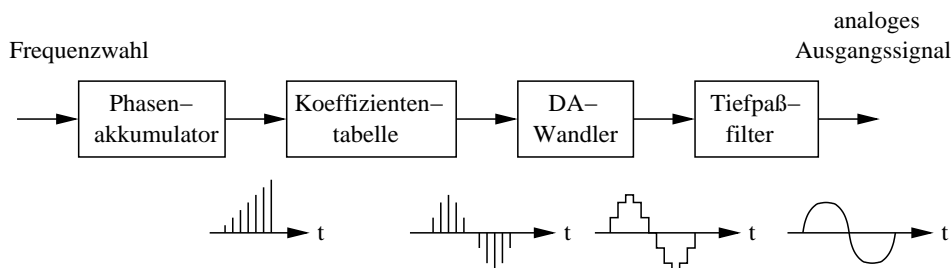


Abbildung 1: Blockschaftbild eines DDS-Signalgenerators

kumulator und eine Koeffiziententabelle in Form eines ROMs, in der die gewünschte Signalform abgelegt wird. Je nach gewählter Frequenz schaltet der rückgekoppelte Addierer die Phase schneller oder langsamer durch, dadurch entsteht die variable Ausgangsfrequenz. Am Ausgang der Koeffiziententabelle stehen die Amplitudenwerte der gewählten Kurvenform in digitaler Form zur Verfügung. Das Signal durchläuft

anschließend die Blöcke DA-Wandler und Tiefpaßfilter, deren Aufgabe keiner weiteren Erklärung bedarf. Zur Digital-Analogumsetzung kommt ein AD7523 (8 bit, multiplizierender DA-Wandler) zum Einsatz, dessen maximale Umsetzungsrate lt. Herstellerangaben 200kHz erreichen kann.

Die konkrete Struktur der FPGA-Realisierung ist in Abbildung 2 dargestellt. Von Ihnen sollen die Funktionseinheiten *kb\_ctrl* und *ph\_acc* entworfen werden. Als Koeffiziententabelle kommt ein Funktionsmakro aus der LPM-Bibliothek zum Einsatz. Damit kann ein im FPGA vorhandener Speicherblock als ROM genutzt werden.

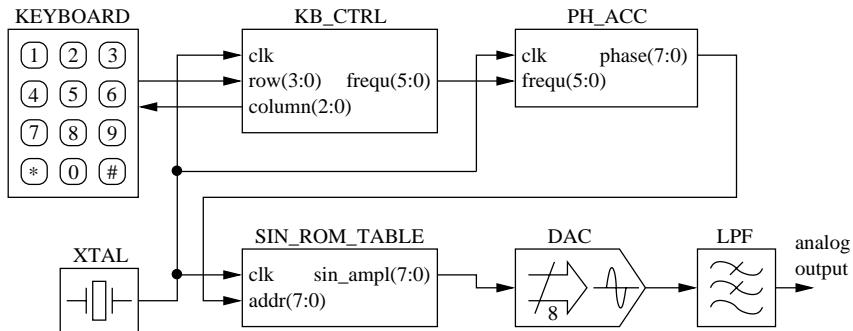


Abbildung 2: Struktur der Implementierung

## Bestimmung der Generatorparameter

Die Frequenzauflösung des Synthesizers bestimmt sich durch die gewählte Phasenauflösung  $n$  und der eingespeisten Referenzfrequenz  $f_{clk}$  nach Formel 1.

$$f_{res} = \frac{f_{clk}}{2^n} \quad (1)$$

Bedingt durch die begrenzte Kapazität des FPGA-internen ROMs wird  $n$  auf 8 bit festgelegt. Mit der eingangs genannten Referenzfrequenz von 32.768kHz ergibt sich sofort die geforderte Frequenzauflösung von 128Hz.

Die Multiplikation von Ausdruck 1 mit dem im Frequenzregister eingestellten Faktor  $F$  bestimmt die resultierende Ausgangsfrequenz (Formel 2).  $F$  charakterisiert dabei die Schrittweite mit der der Adresszeiger inkrementiert wird.

$$f_{out} = F \frac{f_{clk}}{2^n} \quad (2)$$

Das Frequenzkontrollregister kann durch die 6-bittige Ausführung Multiplikatorwerte im Bereich: 0..63 annehmen. In der Einstellung 0 wird die Phase nicht inkrementiert, was zu einem Gleichsignal am Ausgang führt. Jedoch ist die Ausgangsamplitude von der, im Einstellmoment, anliegenden Phase abhängig, was in unserem Fall zu einem beliebigen Wert führt. Alle anderen Werte von  $F$  ermöglichen durch die vorgegebene Frequenzauflösung Ausgangsfrequenzen von 128Hz bis 8.064kHz in 128Hz-Schritten.

## Tastaturabfrage und Frequenzregister <kb\_ctrl>

Der Funktionsblock *kb\_ctrl* dient der Tastaturabfrage und als Frequenzregister. Damit bei der höchsten Ausgangsfrequenz noch mindestens vier Abtastwerte pro

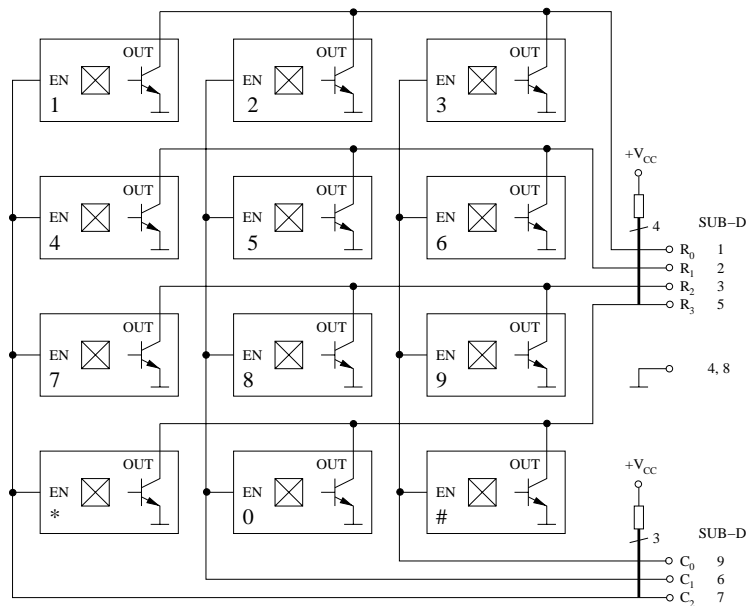


Abbildung 3: Aufbau der Tastatur und Belegung des Sub-D Steckers

Periode zur Verfügung stehen, wurde der maximale Multiplikationsfaktor auf 63 begrenzt. *kb\_ctrl* muß deshalb den in dezimaler Form eingegebenen Wert auf Bereichsüberschreitung testen und in seine binäre Repräsentation konvertieren. Die Art und Weise der Eingabe ist hier nicht festgelegt. Denkbar wäre z.B. die Eingabe einer Ziffernfolge, die mit der Raute-Taste abgeschlossen werden würde (Funktion einer Entertaste), oder die Übergabe einer zweistelligen Zahl (unter Umständen mit führenden Nullen).

Den Aufbau der Tastaturmatrix zeigt Abbildung 3. Zu beachten ist diesem Zusammenhang, daß prinzipiell alle Spalten aktiv sind. Zur Abwahl muß an alle nicht interessierenden Spaltenauswahlleitungen ein low-Pegel gelegt werden. Ein Tastendruck äußert sich dann durch ein low-Signal auf der entsprechenden Zeilenleitung.

## Phasenakkumulator <ph\_acc>

Der Phasenakkumulator dient der Inkrementierung der Signalphase. In Abbildung 4 ist die Prinzipstruktur Ihrer umzusetzenden Realisierung dargestellt. Davon ab-

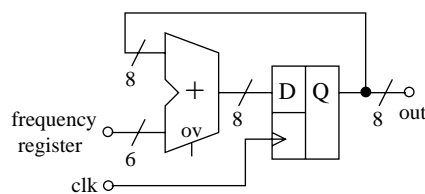


Abbildung 4: Aufbau des Phasenaddierers

weichend finden sich in der Literatur [2] auch andere Ausführungsformen von Phasenakkumulatoren in Verbindung mit Koeffiziententabellen. Beispielsweise müßte für die Erzeugung eines Sinussignals nur eine viertel Periode im ROM hinterlegt werden.

## Sinus-Koeffiziententabelle <sin\_rom\_table>

Die Koeffiziententabelle für der Sinus wird in einem EAB (**E**Embedded **A**rray **B**lock) des FPGA abgelegt. Wie schon erwähnt, wurde eine Phasenauflösung von 8 bit (256 Schritte) gewählt, das entspricht einem Winkel von ca.  $0.71^\circ$ . Die zugehörigen Signalelongationen sind mit 8 bit Auflösung kodiert. Die bereits vorher berechneten Koeffizienten für ein Sinussignal befinden sich in der Datei *sinrom.mif*.

## Anschlußbelegung

Signal	Typ	Flex-Pin	Signal	Typ	Flex-Pin
Spalte $C_0$	out	IO 64	DAC 0 (LSB)	out	IO 66
Spalte $C_1$	out	IO 61	DAC 1	out	IO 65
Spalte $C_2$	out	IO 62	DAC 2	out	IO 69
Zeile $R_0$	in	IO 54	DAC 3	out	IO 72
Zeile $R_1$	in	IO 58	DAC 4	out	IO 73
Zeile $R_2$	in	IO 59	DAC 5	out	IO 70
Zeile $R_3$	in	IO 60	DAC 6	out	IO 71
Oszillator	in	CLK 43	DAC 7 (MSB)	out	IO 67

## Literatur

- [1] Bar-Giora Goldberg, Digital Frequency Synthesis Demystified, LLH Technology Pub., Rom, 1999
- [2] Jouko Vankka, Methods Of Mapping From Phase To Sine Amplitude In Direct Digital Synthesis, Proceedings 50. Annual Frequency Control Symp., 1996, pp. 942-950.